

【特許請求の範囲】

【請求項1】 アドレス信号毎にスベアのメモリセルへのアクセスの有無を知らせるパラレルのヒューズ信号を発生するヒューズ回路群と、

入力アドレス信号とヒューズ信号とを比較して、前記スベアのメモリセルへのアクセスを指示するヒット信号を発生する比較回路とを有し、

特定のアドレス信号に対しては前記スベアのメモリセルを使用させるリダンダンシ回路において、

前記パラレルのヒューズ信号をシリアルなヒューズ信号に変換して前記比較回路に伝送する伝送手段を具備することを特徴とするリダンダンシ回路。

【請求項2】 アドレス信号毎にスベアのメモリセルへのアクセスの有無を知らせるパラレルのヒューズ信号を発生するヒューズ回路群と、

入力アドレス信号とヒューズ信号とを比較して、スベアのメモリセルへのアクセスを指示するヒット信号を発生する比較回路とを有し、

特定の入力アドレス信号に対しては前記スベアのメモリセルを使用させるリダンダンシ回路において、

前記パラレルのヒューズ信号をシリアルなヒューズ信号に変換する第1の信号交換手段と、

前記シリアルなヒューズ信号をパラレルのヒューズ信号に変換する第2の信号交換手段と、

前記第1の信号交換手段により得られたシリアルなヒューズ信号を前記第2の信号交換手段へ伝送する信号線と、

を具備することを特徴とするリダンダンシ回路。

【請求項3】 前記第1、第2の信号交換回路は、第1、第2のシフトレジスタ回路であり、

前記第1のシフトレジスタ回路から前記信号線を通して伝送されてきた前記シリアルなヒューズ信号を前記第2のシフトレジスタ回路に丁度入力し終わったタイミングを検出する検出手段と、

前記タイミングが検出されると、前記第1のシフトレジスタ回路からの前記シリアルなヒューズ信号の送出を停止する伝送制御手段と、

を具備することを特徴とする請求項2に記載のリダンダンシ回路。

【請求項4】 前記伝送制御手段は、前記第1のシフトレジスタ回路の保存信号をシフトして前記信号線に送出させるクロック信号の発生を停止することにより、前記第1のシフトレジスタ回路からの前記シリアルなヒューズ信号の送出を停止することを特徴とする請求項3記載のリダンダンシ回路。

【請求項5】 前記検出手段は、前記第1のシフトレジスタ回路から前記信号線へ送出されるヒューズ信号に特定信号を付加し、前記信号線を通して前記第2のシフトレジスタ回路側に送られてきた前記特定信号を検出することにより、前記シリアルなヒューズ信号が前記第2の

シフトレジスタ回路に丁度入力し終わったタイミングを検出することを特徴とする請求項3記載のリダンダンシ回路。

【請求項6】 前記ヒューズ回路群と前記比較回路とを離して配置したことを特徴とする請求項1又は2記載のリダンダンシ回路。

【請求項7】 前記第1、第2の信号変換回路は、第1、第2のシフトレジスタ回路であり、

前記パラレルのヒューズ信号を前記第1のシフトレジスタ回路に所定期間だけロードするロード手段と、

前記所定期間以降、前記第1のシフトレジスタ回路の保存信号をシフトして前記信号線に送出させるクロックを発生するクロック発生手段と、

を具備することを特徴とする請求項2又は3記載のリダンダンシ回路。

【請求項8】 前記所定の期間は電源投入時直後の一定の期間であることを特徴とする請求項7記載のリダンダンシ回路。

【請求項9】 請求項1乃至8いずれかに記載のリダンダンシ回路を搭載し、このリダンダンシ回路によって特定の入力アドレス信号に対してはスベアのメモリセルにアクセスさせる機能を有することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ヒューズを利用して特定の入力アドレス信号に対してはスベアのメモリセルを使用させるリダンダンシ回路及びこのリダンダンシ回路を搭載した半導体装置に関する。

【0002】

【従来の技術】従来より、半導体メモリなどの半導体装置では、あるアドレスのメモリセルに欠陥がある場合、ヒューズを使用して前記アドレスをプログラムすることにより、前記アドレスに対してはリダンダンシメモリ（スベアのメモリ）を使用させる制御を行うリダンダンシ回路を搭載している。

【0003】図7は従来のリダンダンシ回路の概略構成例を示したブロック図である。リダンダンシ回路は主にコンパレータ回路1と複数のヒューズ回路が集合して成るヒューズ回路部2とから成っている。

【0004】図8は図7の詳細回路図である。入力アドレス信号と、不良アドレスをヒューズ回路部2のヒューズの溶断の有無でプログラムした信号（ヒューズ信号）X1、X2、…Xnとをコンパレータ回路1によって比較し、入力されたアドレス信号で指定されるメモリセルが欠陥アドレスであった場合、ヒット信号を発生する。このヒット信号はスベアのメモリセルへのアクセスの有無を判断する信号で、ヒット信号がある場合は前記アドレスでスベアのメモリセルにアクセスすることになる。

【0005】上記構成では、コンパレータ回路1に入力

されるN本のアドレス信号に対し、コンパレータ回路1とヒューズ回路部2を接続する信号線はリダンダンシの独立セット数分(N×セット数分)必要となり、通常はかなりの数となる。

【0006】コンパレータ回路1は図9に示すように排他的論理和回路91で構成され、又、ヒューズ回路部2の各ヒューズ回路は図10に示すように2個のインバータ41で構成されるメモリ回路とヒューズ42から構成されており、対応するアドレスが不良アドレスである場合はヒューズ42が溶断されていて、メモリ回路に保持されているデータを反転させる。

【0007】

【発明が解決しようとする課題】上記した従来のリダンダンシ回路を搭載した半導体装置のレイアウトにおいて、スタンダードセル方式のような小ブロックをアレイ状に配置する図11に示すような場合について考える。小ブロック61のレイアウトでは、通常、アルミ配線が全体に互引き回されるため、配線領域62の両側に沿って、複数の小ブロック61が配置される。

【0008】例えば、上記したコンパレータ回路1を小ブロック上に配置した場合、図12に示すように小ブロック61の表面に電源線611を被せた構成をとれるが、小ブロック61上にヒューズ回路を配置した場合、ヒューズをブローできるように、小ブロック61の表面にヒューズ42が図13に示すように配置される必要がある。

【0009】このため、別途、電源線を配線するスペースを確保するため、図14に示すように、ヒューズ回路を配置した小ブロック61(黒で図示)が他の小ブロック61よりも大きくなり、配線領域62に食い込んで、配線領域62が減少してしまう。特に、自動配線CAD等では、配線アルゴリズムによる配線領域の制約から図15に示すように大幅に配線領域62が減少することもあり、それに伴って無駄な領域63が増えるという不具合が発生する。

【0010】そこで、上記のような不都合を回避するには、ヒューズ回路の小ブロックを図11に示した小ブロックアレイ上に配置しなければよいが、これにはヒューズ回路の小ブロック61に関しては、前記アレイ上以外の位置へコンパレータ回路の小ブロック61と引き離して配置する方法が考えられる。尚、コンパレータ回路の小ブロック61の位置は動作スピードへの影響からクリティカルパスから離して配置することはできないため、前記小ブロックアレイ上に配置しなければならない。

【0011】しかし、上記のようにヒューズ回路の小ブロック61を離して配置すると、コンパレータ回路1とヒューズ回路部2間の信号線の本数は、前述したようにアドレス線N本に対し、N×リダンダンシ独立セット数分必要となり、この本数分のバスラインに相当する配線領域がコンパレータ回路1とヒューズ回路部2間に必要

となり、全体配線領域がかなり増加し、そのマイナス面が非常に大きくなるという不具合が発生する。

【0012】しかも、コンパレータ回路1とヒューズ回路部2間の信号線の本数は今後増える傾向にあるため、前記マイナス面も大きくなる傾向にある。

【0013】本発明は、上述の如き従来の課題を解決するためになされたもので、その目的は、配線領域をほとんど増加させることなく、コンパレータ回路に対してヒューズ回路を離して配置することができるリダンダンシ回路及びこのリダンダンシ回路を搭載した半導体装置を提供することである。

【0014】

【課題を解決するための手段】上記目的を達成するために、請求項1の発明の特徴は、アドレス信号毎にスベアのメモリセルへのアクセスの有無を知らせるパラレルのヒューズ信号を発生するヒューズ回路群と、入力アドレス信号とヒューズ信号とを比較して、前記スベアのメモリセルへのアクセスを指示するヒット信号を発生する比較回路とを有し、特定のアドレス信号に対しては前記スベアのメモリセルを使用させるリダンダンシ回路において、前記パラレルのヒューズ信号をシリアルなヒューズ信号に変換して前記比較回路に伝送する伝送手段を具備することにある。

【0015】この請求項1の発明によれば、スタンダードセル方式のような小ブロックアレイ上に比較回路を配置した場合、多層配線のレイアウトによる制約からヒューズ回路群は他の小ブロックと同様なレイアウト構成がとれないので、上記した小ブロックアレイ上に配置することができず、ヒューズ回路群は前記比較回路から離して配置される。この時、ヒューズ回路群のパラレルのヒューズ信号はシリアル化されて1本の信号線で比較回路側に送られるため、ヒューズ信号を伝送する配線面積の増大は大幅に抑えられ、従って、比較回路とヒューズ回路群を離して配置しても配線面積の増大は大幅に抑えられることになる。

【0016】請求項2の発明の特徴は、アドレス信号毎にスベアのメモリセルへのアクセスの有無を知らせるパラレルのヒューズ信号を発生するヒューズ回路群と、入力アドレス信号とヒューズ信号とを比較して、スベアのメモリセルへのアクセスを指示するヒット信号を発生する比較回路とを有し、特定の入力アドレス信号に対しては前記スベアのメモリセルを使用させるリダンダンシ回路において、前記パラレルのヒューズ信号をシリアルなヒューズ信号に変換する第1の信号変換手段と、前記シリアルなヒューズ信号をパラレルのヒューズ信号に変換する第2の信号変換手段と、前記第1の信号変換手段により得られたシリアルなヒューズ信号を前記第2の信号変換手段へ伝送する信号線と、を具備することにある。

【0017】請求項3の発明の前記第1、第2の信号変換回路は、第1、第2のシフトレジスタ回路であり、前

記第1のシフトレジスタ回路から前記信号線を通して伝送されてきた前記シリアルデータのヒューズ信号を前記第2のシフトレジスタ回路に丁度入力し終わったタイミングを検出する検出手段と、前記タイミングが検出されると、前記第1のシフトレジスタ回路からの前記シリアルデータのヒューズ信号の送出を停止する伝送制御手段と、を具備する。

【0018】請求項4の発明の前記伝送制御手段は、前記第1、第2のシフトレジスタ回路の保存信号をシフトして前記信号線に送出させるクロック信号の発生を停止することにより、前記第1のシフトレジスタ回路からの前記シリアルデータのヒューズ信号の送出を停止する。

【0019】請求項5の発明の前記検出手段は、前記第1のシフトレジスタ回路から前記信号線へ送出されるヒューズ信号に特定信号を付加し、前記信号線を通して前記第2のシフトレジスタ回路側に送られてきた前記特定信号を検出することにより、前記シリアルデータのヒューズ信号が前記第2のシフトレジスタ回路に丁度入力し終わったタイミングを検出する。

【0020】請求項6の発明の特徴は、前記ヒューズ回路群と前記比較回路とを離して配置したことにある。

【0021】請求項7の発明の前記第1、第2の信号変換回路は、第1、第2のシフトレジスタ回路であり、前記パラレルのヒューズ信号を前記第1のシフトレジスタ回路に所定期間だけロードするロード手段と、前記所定期間以降、前記第1のシフトレジスタ回路の保存信号をシフトして前記信号線に送出させるクロックを発生するクロック発生手段と、を具備する。

【0022】請求項8の発明の前記所定の期間は電源投入時直後の一定の期間であることにある。

【0023】請求項9の発明の特徴は、請求項1乃至8いずれかに記載のリダダンシ回路を搭載し、このリダダンシ回路によって特定の入力アドレス信号に対してはスベアのメモリセルをアクセスさせる機能を有することにある。

【0024】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。図1は、本発明のリダダンシ回路の一実施の形態を示したブロック図である。リダダンシ回路は、入力アドレス信号50とヒューズ回路部12から入力されるヒューズ信号X1、X2、…Xnを比較して、スベアのメモリセルへのアクセスを指示するヒット信号を発生するコンパレータ回路11と、アドレス信号対応でスベアのメモリセルへのアクセスの有無をプログラムしたヒューズ回路部12、ヒューズ回路部12のパラレルのヒューズ信号X1、X2、…Xnをシリアル信号に変換するシフトレジスタ回路13、シフトレジスタ回路13から送られてきたシリアル信号を元のパラレルのヒューズ信号X1、X2、…Xnに戻すシフトレジスタ回路14、シフトレジスタ回路13の動作クロック

クを発生するクロック発生回路15及びシフトレジスタ回路13とシフトレジスタ回路14を接続する1本のデータ信号線16と、1本のクロック信号線17から成っている。

【0025】図2は図1に示したリダダンシ回路のレイアウト例を示したブロック図である。コンパレータ回路11及びシフトレジスタ回路14は配線領域62に隣接した小ブロック61上に配置されている。一方、ヒューズ回路部12、シフトレジスタ回路13及びクロック発生回路15はコンパレータ回路11及びシフトレジスタ回路14から離れた別の場所に配置されている。

【0026】図3は図1に示したリダダンシ回路のシフトレジスタ回路13、14及びその周辺回路の詳細構成例をブロック図である。シフトレジスタ回路13はセットラッチ18を介して、シフトレジスタ回路14にデータ信号線16で接続されている。シフトレジスタ回路14はリセットラッチ19、インバータ20を介して、クロック発生回路15に制御信号線23で接続されている。クロック発生回路15はパルス生成回路21から発生されたパルスAをトリガとしてクロックCKを発生する。パルス生成回路21は遅延回路22により遅延されたパワーオンリセット信号101の入力により1パルスAをクロック発生回路15に出力する。又、このパワーオンリセット信号100は直接クロック発生回路15に入力されている。

【0027】次に本実施の形態の動作について説明する。電源投入時、図6(A)に示すようにパワーオンリセット信号100が発生し、これが図3のクロック発生回路15に直接入力されると共に、図6(B)に示すように遅延回路22により遅延されて遅延パワーオンリセット信号101となり、これがパルス生成回路21に入力される。

【0028】図4はクロック発生回路15の詳細構成例を示した回路図である。上記したパワーオンリセット信号100はトランジスタ24のゲートに入力されると共に、RSラッチ回路25のリセット端子Rに入力される。これにより、トランジスタ24がオンして、クロック発生回路15の出力端子を接地し、又、RSラッチ回路25がリセットされ、このリセット期間中に、ヒューズセット信号(ローアクティブ)200が発生されて、シフトレジスタ回路13に出力される。

【0029】図5はシフトレジスタ回路13の詳細構成例を示した回路図である。インバータ51とスイッチドインバータ52により1ビット分のレジスタが構成され、このレジスタの入力部にはバストラ53が接続されている。

【0030】このバストラ53にヒューズセット信号200が入力されている間のみ、このバストラ53は導通して、ヒューズ回路121からのヒューズ信号がレジスタに入力されて保持され、その後、リセット期間が過ぎ

ると、前記ヒューズセット信号200がハイレベルとなつてバストラ53が遮断するため、これ以降、シフトレジスタ回路13に、ヒューズ回路121のヒューズ信号が入力されることはない。

【0031】即ち、ヒューズセット信号200が出力されている期間のみ、シフトレジスタ回路13はヒューズ回路部12のバラレルヒューズ信号をロードする。

【0032】又、パワーオンリセット信号100が入力されて前記RSラッチ回路25がリセットされている期間、図6(B)に示すように、パワーオンリセット信号100が遅延されて、パルス生成回路21に入力されないため、パルス生成回路21からパルスAは発生されおらず、しかも、RSラッチ回路25がリセットされているため、RSラッチ回路25の出力はローレベルでナンド回路26が遮断されている。

【0033】これにより、クロック発生回路15からクロックCKが発生されることはなく、シフトレジスタ回路13に出力されることもない。又、上記したようにクロック発生回路15の出力端子がトランジスタ24を介して接地されるため、クロック信号もどきのノイズがシフトレジスタ回路13に出力されることもない。

【0034】その後、図6(A)に示すようにパワーオンリセット信号100がなくなると、図6(B)に示すように遅延パワーオンリセット信号101がパルス生成回路21に入力されて、パルス生成回路21からパルスAがRSラッチ回路25のセット端子Sに入力され、RSラッチ回路25をセットし、その出力をハイレベルとするため、ナンド回路26が導通し、クロックCKの発生が開始される。発生されたクロックCKはシフトレジスタ回路13に出力される。

【0035】これにより、シフトレジスタ回路13は既に保存されているnビットのヒューズ信号を順番にシフトして、1個ずつセットラッチ18を介してデータ線16に送り出す。

【0036】ここで、セットラッチ18には、“1”が予め設定されているため、前記シフトレジスタ回路13から順番に出力されるnビットのヒューズ信号の先頭は“1”となる。このnビットのヒューズ信号はデータ線16を通してシフトレジスタ回路14に順番に入力され、シフトレジスタ回路14にnビットのヒューズ信号が丁度入力された時、先頭の“1”はリセットラッチ19にラッチされ、このリセットラッチ19の出力を“1”とする。但し、電源投入時、リセットラッチ19は“0”となっており、インバータ20から“1”の信号が発生されている。この“1”の信号はクロック発生回路15のナンド回路26に入力されて、このナンド回路26を導通可能状態としている。

【0037】上記したリセットラッチ19の出力が“1”となると、インバータ20から“0”のクロックストップ信号が発生され、クロック発生回路15のナン

ドゲート26に入力される。このため、ナンドゲート26は遮断し、クロックCKの発生が停止され、シフトレジスタ回路13からのヒューズ信号の送出が停止される。この時、シフトレジスタ回路14にはnビットのヒューズ信号が保存されており、これらnビットのヒューズ信号が、バラレル信号となってコンパレータ回路11に入力される。

【0038】以降、コンパレータ回路11は、入力アドレス信号とヒューズ信号とを比較し、ヒューズ信号が前記アドレス信号のアクセス先のメモリセルが欠陥アドレスであることを示していると、ヒット信号60を出力して、前記入力アドレス信号でスเปアメモリセルをアクセスするようにする。

【0039】本実施の形態によれば、コンパレータ回路11に対してヒューズ回路部12を離して配置し、しかも、ヒューズ回路部12からのバラレルのヒューズ信号をシリアル信号に変換してコンパレータ回路11へ送ることにより、コンパレータ回路11とヒューズ回路部12間に接続された1本のデータ信号線16及び1本のクロック信号線17でヒューズ信号を送ることができる。

【0040】これにより、コンパレータ回路11の小ブロック61に隣接する配線領域62が減少したり、或いは無駄な領域が生じることがなくなる。しかも、ヒューズ信号を送るための信号線16、17が占める配線領域は僅かなため、配線領域の増大無しに、コンパレータ回路11に対してヒューズ回路部12を離して配置することができる。

【0041】又、シフトレジスタ回路13、14が増えた分、回路面積増は避けられないが、これらシフトレジスタ回路13、14の入出力信号線16、17はチップ本体のスピードには影響を与えないバスなので、回路自体大きな駆動力を必要とせず、小規模な回路で設計でき、僅かな面積増で済ませることができる。

【0042】従って、コンパレータ回路11とヒューズ回路部12とを離して配置しても、データ信号線16、クロック信号線17などの配線領域は僅かで済ませることができると共に、引き回す信号線の数が少ないため、ヒューズ回路部12を容易に離して配置することができ、半導体装置全体のレイアウトの自由度を向上させることができる。

【0043】更に、自動配線CADでは、配線アルゴリズムによる配線領域の制約による配線領域の大幅減少が従来問題となっていたが、本例のようにヒューズ回路部12を離して配置することにより、配線領域62の配線自由度の妨害を回避することができるため、理想的な配線領域を容易に確保することができる。

【0044】

【発明の効果】以上詳細に説明したように、本発明によれば、配線領域をほとんど増加させることなく、コンパ

レータ回路に対してヒューズ回路を離して配置することができる。これにより、スタンダードセル方式のような小ブロックアレイ上にコンパレータ回路を配置した場合、前記小ブロックアレイからヒューズ回路を離して配置でき、小ブロックアレイに隣接する配線領域の減少や無駄な領域の発生をなくして、理想的な配線領域を容易に確保することができる。

【図面の簡単な説明】

【図 1】本発明のリダダンシ回路の一実施の形態を示したブロック図である。

【図 2】図 1 に示したリダダンシ回路の具体的な配置例を示したブロック図である。

【図 3】図 1 に示したリダダンシ回路のシフトレジスタ回路及びその周辺回路の詳細構成例をブロック図である。

【図 4】図 3 に示したクロック発生回路の詳細回路構成例を示した回路図である。

【図 5】図 3 に示したシフトレジスタ回路 13 の詳細構成例を示した回路図である。

【図 6】図 3 に示したシフトレジスタ回路の起動及び動作を説明するタイミングチャートである。

【図 7】従来のリダダンシ回路の概略構成例を示したブロック図である。

【図 8】図 7 に示したリダダンシ回路の詳細構成例を示したブロック図である。

【図 9】図 8 に示したコンパレータ回路の具体例を示した回路図である。

【図 10】図 8 に示したヒューズ回路部を構成するヒューズ回路の具体例を示した回路図である。

【図 11】スタンダードセル方式のような小ブロックをアレイ状に配置した際のレイアウト例を示した概略図で *

* ある。

【図 12】図 11 に示した小ブロックの構成例を示した図である。

【図 13】ヒューズ回路を小ブロック化した場合の構成例を示した図である。

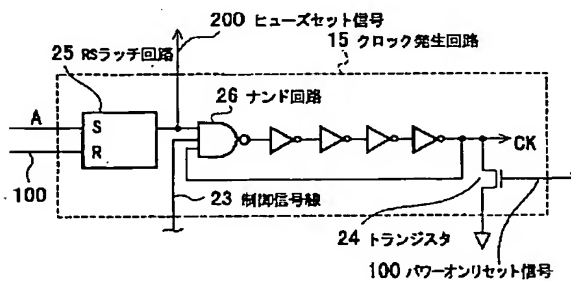
【図 14】小ブロック化したヒューズ回路の配置と配線領域との関係を示した図である。

【図 15】小ブロック化したヒューズ回路を配置した場合の自動配線アルゴリズムによる配線領域の減少を示した図である。

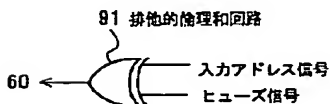
【符号の説明】

- 11 コンパレータ回路
- 12 ヒューズ回路部
- 13、14 シフトレジスタ回路
- 15 クロック発生回路
- 16 データ信号線
- 17 クロック信号線
- 18 セットラッチ
- 19 リセットラッチ
- 20、51 インバータ
- 21 パルス生成回路
- 22 遅延回路
- 23 制御信号線
- 24 トランジスタ
- 25 RSラッチ回路
- 26 ナンド回路
- 52 スイッチ・インバータ
- 53 バストラ
- 121 ヒューズ回路
- 122 ヒューズ

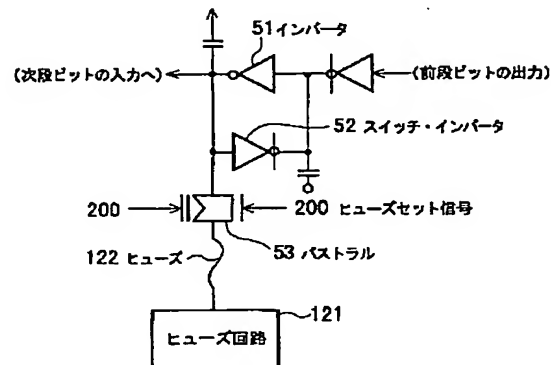
【図 4】



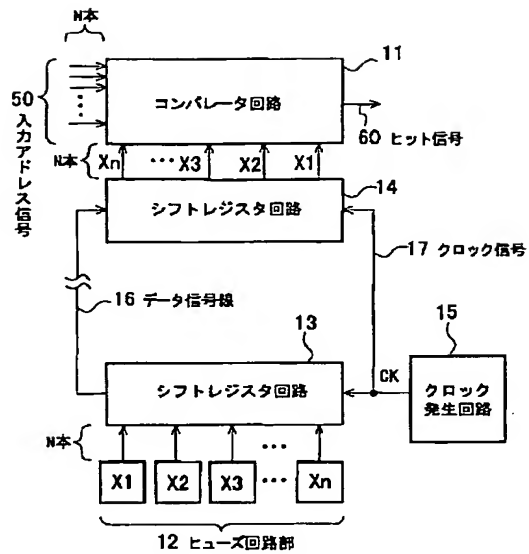
【図 9】



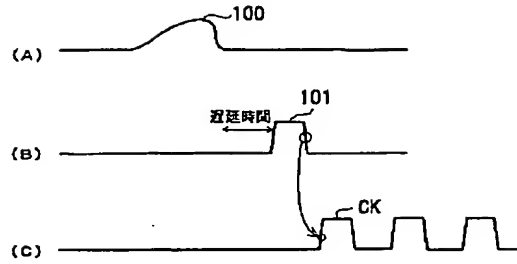
【図 5】



【図1】

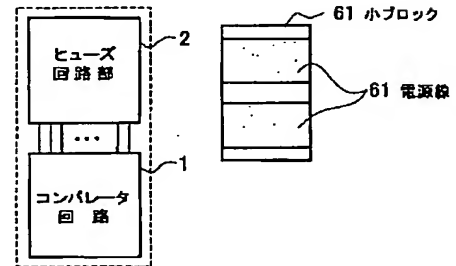


【図6】



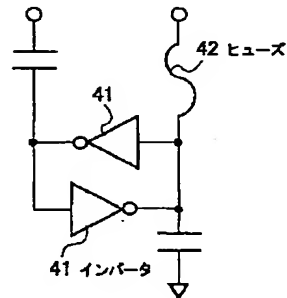
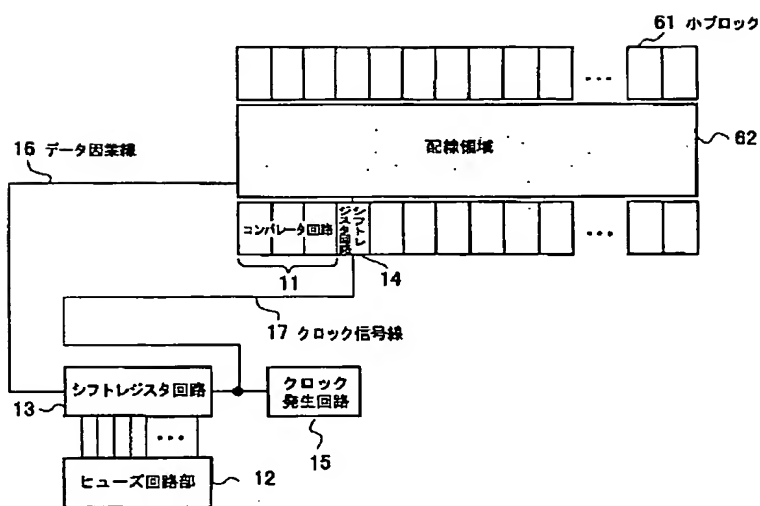
【図7】

【図12】

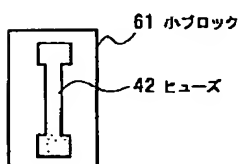


【図2】

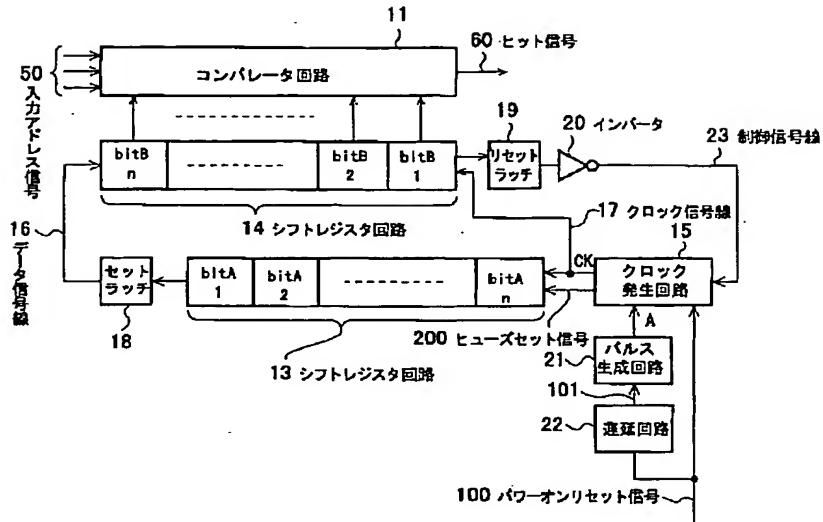
【図10】



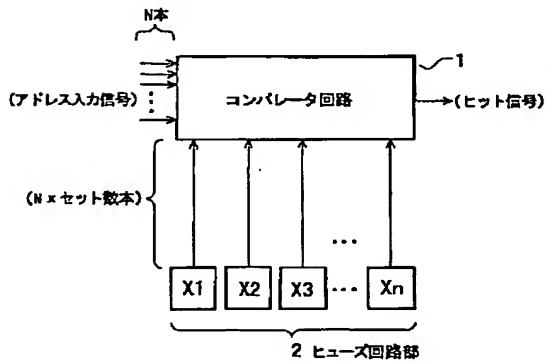
【図13】



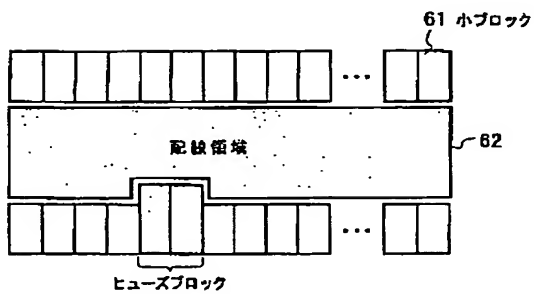
【図3】



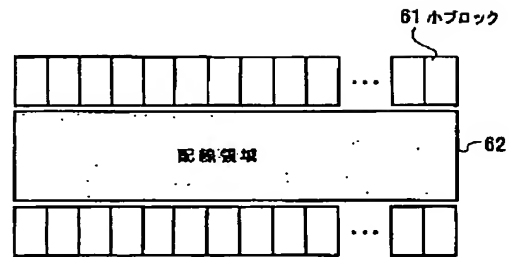
【図8】



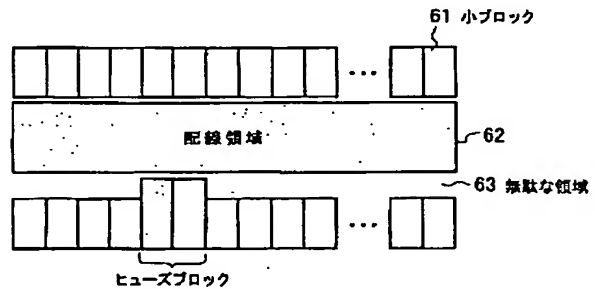
【図14】



【図11】



【図15】



フロントページの続き

Fターム(参考) 5F064 AA04 DD04 DD24 DD26 EE15
FF02 FF27 FF36 HH03
5F083 GA09 LA10 LA11 ZA10
5L106 CC04 GG06